

Memory device

Patent Number: ■ [US2003043683](#)
Publication date: 2003-03-06
Inventor(s): NISHIO YOJI (JP); FUNABA SEIJI (JP)
Applicant(s): ELPIDA MEMORY INC (US)
Requested Patent: ■ [JP2003085121](#)
Application Number: US20020234261 20020904
Priority Number(s): JP20010270518 20010906
IPC Classification: G11C5/06; G11C8/00
EC Classification: [G11C5/06H](#), [G11C7/10](#), [G11C7/10P](#), [G11C11/4093](#)
Equivalents: CN1403928, ■ [DE10241451](#)

Abstract

In a memory device having a controller and multiple memory modules both of which are mounted together on a motherboard, a high-speed operation is executed by suppressing waveform distortion caused by signal reflection. Since signal reflection occurs when a controller performs the writing/reading of data relative to memory units on memory modules, active terminator units are included in the controller and the memory units. These active terminator units are provided for a data bus and/or a clock bus in order to terminate these buses in memory units. The active terminator units provided for the controller and the memory units may be put into an inactive state when data is to be received

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (15870)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-85121

(P2003-85121A)

(43)公開日 平成15年3月20日(2003.3.20)

(51)Int.Cl.⁷

識別記号

F I

テーマコード*(参考)

G 0 6 F 13/16
3/00
12/00
G 1 1 C 11/409
H 0 3 K 19/0175

5 1 0
5 5 0

G 0 6 F 13/16
3/00
12/00
G 1 1 C 11/34
H 0 3 K 19/00

5 1 0 A 5 B 0 6 0
K 5 J 0 5 6
5 5 0 K 5 M 0 2 4
3 5 4 Q
1 0 1 Q

審査請求 有 請求項の数53 O L (全 18 頁)

(21)出願番号 特願2001-270518(P2001-270518)

(22)出願日 平成13年9月6日(2001.9.6)

(71)出願人 500174247

エルピーダメモリ株式会社

東京都中央区八重洲2-2-1

(72)発明者 船場 誠司

東京都中央区八重洲二丁目2番1号 エル
ピーダメモリ株式会社内

(72)発明者 西尾 洋二

東京都中央区八重洲二丁目2番1号 エル
ピーダメモリ株式会社内

(74)代理人 100071272

弁理士 後藤 洋介 (外1名)

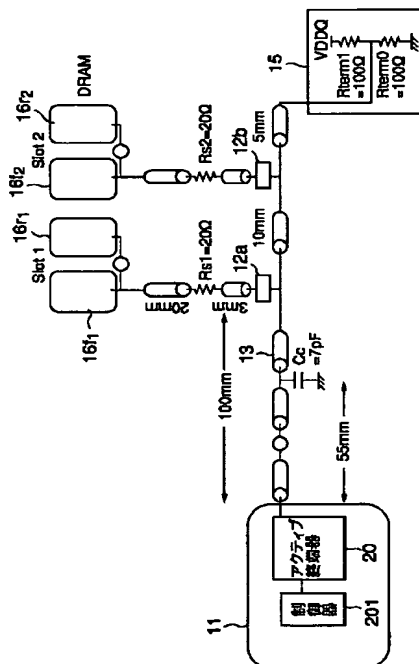
最終頁に続く

(54)【発明の名称】 メモリ装置

(57)【要約】

【課題】 コントローラを複数のメモリモジュールと共に、マザーボード上に搭載したメモリ装置において、高速動作の際に生じる反射による波形歪を軽減できるメモリ装置を提供することである。

【解決手段】 コントローラによるメモリモジュール上のメモリユニット書込/読出時に、信号反射が生じるため、アクティブ終端器をコントローラ及びメモリユニットに設けた構成を備えたメモリ装置が得られる。このアクティブ終端器は、データバス及び/又はクロックバスに対応して設けられ、アクティブ終端器は、データバス、クロックバスに対応したメモリユニット内の線路を終端するために設けられる。コントローラ及びメモリユニットに設けられるアクティブ終端器は、データの受信側になった場合に不動作状態に制御されても良い。



【特許請求の範囲】

【請求項1】 バスに対して、電氣的に接続された複数のメモリユニットと、前記バス的一端に接続され、前記複数のメモリユニットの読出、書込を制御するコントローラとを有するメモリ装置において、前記コントローラには、前記読出制御時にのみ動作状態となるアクティブ終端回路が設けられていることを特徴とするメモリ装置。

【請求項2】 請求項1において、前記複数のメモリユニットは、それぞれスタブ及びコネクタを介して前記バスに接続されていることを特徴とするメモリ装置。 10

【請求項3】 請求項2において、前記複数のメモリユニットを前記バスに接続するコネクタのうち、前記コントローラと最も近接した位置にある最近接コネクタと、前記コントローラとの間には、前記複数のメモリユニットの読出制御時における反射波を防止するための反射防止手段が設けられていることを特徴とするメモリ装置。

【請求項4】 請求項3において、前記反射防止手段は、前記最近接コネクタと前記コントローラ間の特性インピーダンスがメモリモジュール上配線の特性インピーダンスに比較して低くなる構成を有する回路であることを特徴とするメモリ装置。 20

【請求項5】 請求項4において、前記回路は、前記最近接コネクタと前記コントローラ間に接続された容量素子を備えていることを特徴とするメモリ装置。

【請求項6】 請求項5において、前記回路の実効的な特性インピーダンスは、前記最近接コネクタと前記コントローラ間のバス配線長を調整することによって実現されていることを特徴とするメモリ装置。

【請求項7】 請求項1乃至6のいずれかにおいて、前記コントローラが接続されたバス的一端とは反対側に位置する他端には、終端器が接続されており、当該終端器は、所定の電源端子と基準電源端子との間に、直列に接続された一対の終端抵抗によって構成され、前記バスの他端は、両終端抵抗の共通接続点に接続されていることを特徴とするメモリ装置。 30

【請求項8】 請求項1乃至7のいずれかにおいて、前記バスはデータバス又はコマンドバスであることを特徴とするメモリ装置。

【請求項9】 請求項1において、前記各メモリユニットはアクティブ終端器によって終端されていることを特徴とするメモリ装置。 40

【請求項10】 請求項1乃至9のいずれかにおいて、前記バスはシールドされていることを特徴とするメモリ装置。

【請求項11】 請求項1乃至10のいずれかにおいて、前記メモリユニットはDRAMであることを特徴とするメモリ装置。

【請求項12】 互いに相補的なクロックを送出するクロックコントローラと、当該クロックコントローラに 50

端を接続され、前記相補的なクロックを伝送する一対のクロックバスと、当該一対のクロックバスに電氣的に接続された複数のメモリユニットとを備えたメモリ装置において、前記一対のクロックバスのクロックコントローラとは反対側の他端には、終端抵抗が接続されており、これによって、前記一対のクロックバスは差動結合終端されていることを特徴とするメモリ装置。

【請求項13】 請求項12において、前記メモリユニットは前記一対のクロックバスに対して、一対のコネクタを介して接続されており、前記終端抵抗と、当該終端抵抗に最も近い一対のコネクタ間のクロックバス区間は実質的に分布定数回路として扱うことができる長さを有していることを特徴とするメモリ装置。

【請求項14】 請求項13において、前記データバス区間のインピーダンスは実質的に分布定数回路の特性インピーダンスによって規定できることを特徴とするメモリ装置。

【請求項15】 請求項13乃至14のいずれかにおいて、前記コントローラと当該コントローラの最も近い一対のコネクタ間のクロックバス区間は、他のコネクタ間のクロックバス区間よりも長いことを特徴とするメモリ装置。

【請求項16】 請求項15において、前記コントローラに対して最も近接した一対のクロックバス区間には、反射防止用の容量が接続されていることを特徴とするメモリ装置。

【請求項17】 請求項12において、更に、前記複数のメモリユニットを複数のコネクタを介して接続するデータバスと、当該バス的一端に接続され、該バスを介して前記各メモリユニットとの間で、データの送受を行うデータバスコントローラとを備えていることを特徴とするメモリ装置。

【請求項18】 請求項17において、前記データバスコントローラは、前記各メモリユニットからデータを読み出す際にアクティブ状態になり、且つ、各メモリユニットに対してデータを書き込む際にインアクティブ状態に維持されるアクティブ終端器を有していることを特徴とするメモリ装置。

【請求項19】 請求項18において、前記データバスコントローラとは反対側の前記データバスの端部には、直列に接続された一対の抵抗によって構成された終端抵抗が接続され、前記データバスは一対の抵抗の共通接続点に接続され、これによって、データバスの他端は、終端されていることを特徴とするメモリ装置。

【請求項20】 請求項19において、前記データバスコントローラと最も近接した位置に設けられたコネクタとの間には、反射を緩和するための容量が接続されていることを特徴とするメモリ装置。

【請求項21】 データバスに対して、電氣的に接続された複数のメモリユニットと、前記バス的一端に接続さ

れ、前記複数のメモリユニットの読出、書込を制御するデータバスコントローラとを有するメモリ装置において、前記データバスコントローラは、アクティブ終端器と、当該アクティブ終端器を制御する制御器を備えると共に、前記各メモリユニットも、前記データバスを終端するアクティブ終端器を有していることを特徴とするメモリ装置。

【請求項22】 請求項21において、前記制御器は、各コネクタに接続されたメモリモジュールに搭載されたメモリユニットからデータを読み出す場合、前記読出の10 対象となるメモリユニットのアクティブ終端器だけをインアクティブ状態にする一方、他のメモリユニット及び前記データバスコントローラのアクティブ終端器をアクティブ状態にする制御を行うことを特徴とするメモリ装置。

【請求項23】 請求項22において、前記制御器は、前記メモリユニットにデータを書き込む際、前記データバスコントローラのアクティブ終端器をインアクティブ状態にする一方、前記メモリユニットのアクティブ終端器をアクティブ状態にする制御を行うことを特徴とする20 メモリ装置。

【請求項24】 請求項22において、前記メモリ装置は、メモリユニットを有するスロットをバス上に複数備えており、前記制御器は、前記メモリユニットにデータを書き込む際、前記データバスコントローラのアクティブ終端器をインアクティブ状態にする一方、書込み対象のメモリユニットが存在するスロットのメモリユニットのアクティブ終端器をインアクティブ状態にし、それ以外30 のメモリユニットのアクティブ終端器をアクティブ状態にする制御を行うことを特徴とするメモリ装置。

【請求項25】 互いに相補的なクロックを送出するクロックコントローラと、当該クロックコントローラに一端を接続され、前記相補的なクロックを伝送する一対のクロックバスと、当該一対のクロックバスにそれぞれ電気的に接続された複数のメモリユニットとを備えたメモリ装置において、前記メモリユニットは、前記一対のクロックバスを終端する差動結合終端回路を備えていることを特徴とするメモリ装置。

【請求項26】 請求項25において、前記差動結合終端回路は、前記メモリユニット内に内蔵されていることを特徴とするメモリ装置。

【請求項27】 請求項25において、前記差動結合終端回路は、前記メモリユニットの外側に外付けされていることを特徴とするメモリ装置。

【請求項28】 請求項25乃至27のいずれかにおいて、前記一対のクロックバスは、分岐された形で、各メモリユニットに接続されており、前記差動結合終端回路は、メモリユニットの前記分岐されたクロックバス間に接続されていることを特徴とするメモリ装置。

【請求項29】 互いに相補的なクロックを送出するク

ロックコントローラと、当該クロックコントローラに一端を接続され、前記相補的なクロックを伝送する一対のクロックバスと、当該一対のクロックバスにそれぞれ電気的に接続された複数のメモリユニットとを備えたメモリ装置において、前記メモリユニットは、前記一対のクロックバスを終端するアクティブ終端器を備えていることを特徴とするメモリ装置。

【請求項30】 請求項25乃至29のいずれかにおいて、更に、前記複数のメモリユニットとの間でデータの書込／読出動作を行うデータバスコントローラと、当該データバスコントローラと前記各メモリユニットを接続するデータバスとを有していることを特徴とするメモリ装置。

【請求項31】 請求項30において、前記データバスコントローラは、各メモリユニットからデータを読出す際にアクティブ状態となり、各メモリユニットにデータを書込む際にインアクティブ状態となるアクティブ終端器を備えていることを特徴とするメモリ装置。

【請求項32】 請求項31において、前記各メモリユニットは、データの読出の際にインアクティブ状態となり、データの書込の際にアクティブ状態となるアクティブ終端器を備え、当該アクティブ終端器によって、前記データバスを終端することを特徴とするメモリ装置。

【請求項33】 請求項31において、前記メモリ装置は、メモリユニットを有するスロットをバス上に複数備えていると共に、前記各メモリユニットは、データの読出の際にインアクティブ状態となるアクティブ終端器を有し、前記アクティブ終端器は、データの書込の際に書き込み対象となるメモリユニットを含むスロットのメモリユニットではインアクティブ状態となり、それ以外のメモリユニットではアクティブ状態となるように構成されており、当該アクティブ終端器は前記バスのうち、データバスを終端していることを特徴とするメモリ装置。

【請求項34】 コネクタ及びスタブを介して分岐された形で、バスに対して電気的に接続された複数のメモリユニットと、前記バス的一端に接続され、前記複数のメモリユニットの読出、書込を制御するコントローラとを有するメモリ装置において、前記コントローラ及び前記各メモリユニットのそれぞれに接続されたバスの分岐前のインピーダンスと、前記バスの分岐前から分岐後側を見た時のインピーダンスが実質的に等しくなるように、前記コントローラと前記複数のメモリユニット間の前記バス、コネクタ、抵抗、及び、スタブを含む接続が行われていることを特徴とするメモリ装置。

【請求項35】 請求項34において、前記コントローラと前記複数のメモリユニットは、前記バスを介して、スター接続すなわち同じ特性インピーダンスZ0の配線n本が分岐点に対しそれぞれ抵抗値Z0/nを有する抵抗を介して接続されていることを特徴とするメモリ装置。

【請求項36】 請求項34又は35において、前記バスはデータバス或いはコマンドアドレスバスであることを特徴とするメモリ装置。

【請求項37】 請求項34乃至36のいずれかにおいて、前記コントローラ及び前記各メモリユニットは、アクティブ終端器を備え、当該アクティブ終端器によって前記バスを終端することを特徴とするメモリ装置。

【請求項38】 請求項34乃至37のいずれかにおいて、前記コントローラと前記各メモリユニットは、互いに相補的なクロックが与えられる一対のクロックバスによって接続されていることを特徴とするメモリ装置。

【請求項39】 請求項34乃至37のいずれかにおいて、前記コントローラと前記各メモリユニットは、クロックバスによって接続されていることを特徴とするメモリ装置。

【請求項40】 請求項34において、前記バスは、クロックバスであることを特徴とするメモリ装置。

【請求項41】 請求項39において、前記コントローラと前記複数のメモリユニットとは、前記一対のクロックバスのそれぞれを介して、前記スター接続されていることを特徴とするメモリ装置。

【請求項42】 請求項39乃至41のいずれかにおいて、前記クロックバスは、前記各メモリユニット側で、終端抵抗によって終端されていることを特徴とするメモリ装置。

【請求項43】 互いに相補的なクロックを送出するクロックコントローラと、当該クロックコントローラに一端を接続され、前記相補的なクロックを伝送する一対のクロックバスと、当該一対のクロックバスにそれぞれ電気的に接続された複数のメモリユニットとを備え、前記クロックバスは、請求項34に記載された構成を有することを特徴とするメモリ装置。

【請求項44】 請求項43において、前記前記コントローラと前記複数のメモリユニットとは、前記一対のクロックバスのそれぞれを介して、前記スター接続されていることを特徴とするメモリ装置。

【請求項45】 請求項43又は44において、前記メモリユニットは、前記一対のクロックバスを終端する差動結合終端回路を備えていることを特徴とするメモリ装置。

【請求項46】 請求項12において、更に、前記複数のメモリユニットを複数のコネクタを介して接続するコマンドアドレスバスと、当該コマンドアドレスバスの一端に接続され、該コマンドアドレスバスを介して前記各メモリユニットとの間で、データの送受を行うバスコントローラとを備えていることを特徴とするメモリ装置。

【請求項47】 請求項46において、前記バスコントローラは、前記各メモリユニットからデータを受信する際にアクティブ状態になり、且つ、各メモリユニットに対してコマンドアドレスデータを書き込む際にインアク

ティブ状態に維持されるアクティブ終端器を有していることを特徴とするメモリ装置。

【請求項48】 コマンドアドレスバスに対して、電気的に接続された複数のメモリユニットと、前記コマンドアドレスバスの一端に接続され、前記複数のメモリユニットの読出、書込を制御するバスコントローラとを有するメモリ装置において、前記バスコントローラは、アクティブ終端器と、当該アクティブ終端器を制御する制御器を備えると共に、前記各メモリユニットも、前記データバスを終端するアクティブ終端器を有していることを特徴とするメモリ装置。

【請求項49】 請求項48において、前記制御器は、各コネクタに接続されたメモリモジュールに搭載されたメモリユニットからデータを受信する際、前記読出の対象となるメモリユニットのアクティブ終端器だけをインアクティブ状態にする一方、他のメモリユニット及び前記バスコントローラのアクティブ終端器をアクティブ状態にする制御を行うことを特徴とするメモリ装置。

【請求項50】 請求項48において、前記制御器は、前記メモリユニットにコマンドアドレスデータを送信する際、前記データバスコントローラのアクティブ終端器をインアクティブ状態にする一方、前記メモリユニットのアクティブ終端器をアクティブ状態にする制御を行うことを特徴とするメモリ装置。

【請求項51】 請求項48において、前記メモリ装置は、メモリユニットが存在するスロットを複数備え、前記制御器は、前記メモリユニットにコマンドアドレスデータを送信する際、前記データバスコントローラのアクティブ終端器をインアクティブ状態にする一方、書き込み対象のメモリユニットが存在するスロットのメモリユニットのアクティブ終端器をインアクティブ状態にし、その他のメモリユニットのアクティブ終端器をアクティブ状態にする制御を行うことを特徴とするメモリ装置。

【請求項52】 請求項48において、前記メモリ装置は、メモリユニットが存在するスロットを複数備え、前記制御器は、前記メモリユニットにコマンドアドレスデータを送信する際、前記データバスコントローラのアクティブ終端器をインアクティブ状態にする一方、書き込み対象のメモリユニットが存在するスロットのコマンドアドレスレジスタのアクティブ終端器をインアクティブ状態にし、その他のコマンドアドレスレジスタのアクティブ終端器をアクティブ状態にする制御を行うことを特徴とするメモリ装置。

【請求項53】 請求項26において、前記差動結合終端回路は、MOSTランジスタと抵抗を有し、MOSTランジスタのソース及びドレインには抵抗が接続され、アクティブ時にはMOSTランジスタをON、インアクティブ時にはMOSTランジスタをOFFとなるアクティブ終端器であることを特徴とするメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ装置に関し、特に、高速動作を可能にする回路構成を備えたメモリ装置に関する。

【0002】

【従来の技術】最近、メモリ装置を高集積化する一方、高速で且つ低信号振幅で動作させるためのインタフェースが検討されている。このための規格として、SSTL (StubSeries Termination Logic) が提案されている。また、メモリ装置の一つであるDRAMをより高速で動作させるために、クロックの立ち上がりと立下りの両エッジに同期してデータの入出力を行うことにより、データレートを2倍にできるDDR (double data rate) も提案されている。

【0003】上記した動作を行うメモリ装置は、複数のメモリモジュールをマザーボード上に間隔を置いて並行に配列した構成を備えている。この場合、複数のメモリモジュールは、それぞれコネクタを介してマザーボード上に搭載されている。各メモリモジュールをマザーボードに取り付けるために、各コネクタには、メモリモジュールを取り付けるためのスロットが設けられており、各スロットには、メモリモジュールと電気的接続を行うための端子が配列されている。一方、メモリモジュールの表及び/又は裏には、複数のメモリユニット及びレジスタ等のバッファが取り付けられており、メモリユニット及びレジスタは、モジュール端部に設けられた端子を介してコネクタと電気的に接続されている。

【0004】また、上記したメモリ装置の中には、メモリモジュール上のメモリユニットを制御するために、チップセットと呼ばれるコントローラをマザーボード上に搭載したものがある。このメモリ装置では、データバス、コマンドバス、及び、クロックバス（以下の説明では、これらを総称して単にバスと呼ぶこともある）がマザーボード上に布線され、当該バスによってコントローラと各メモリモジュール上のメモリユニット及びレジスタが電気的に接続されている。

【0005】上記したバスのうち、データバス及びクロックバスは、コントローラから、直接、各メモリモジュールの各メモリユニットに接続されており、他方、コマンドバスは、コネクタを介してレジスタに接続され、当該レジスタから各メモリモジュール上のメモリユニットに接続される構成が採用されている場合がある。

【0006】更に、SSTL規格に従うメモリ装置は、各メモリモジュール内のメモリユニットを構成するDRAMとコネクタとをスタブによって接続された構成を備えている。

【0007】

【発明が解決しようとする課題】この種、メモリ装置では、入出力をより高速に行うために、クロックバスに与えられるクロックの周波数を100MHz以上（例え

ば、133MHz）にすることが考慮されている。この場合、読出／書込のデータレートは、DDRを採用した場合、200MHz以上になる。また、最近では、200～300MHzのクロック周波数で、各メモリモジュールを動作させることも要求されており、この場合、データレートは400～600MHzに達することになる。

【0008】このような要求に応えるために、インピーダンスの不整合に起因する信号反射や歪を低減できるスタブ構造或いはメモリモジュールの配線構造等が提案されている（特願2000-068484号等）。しかしながら、本発明者等の研究によれば、この種のメモリ装置における高速化を妨げる要因には、種々様々なものがあり、スタブ構造或いはメモリモジュール構造を改善しただけでは、不十分であることが判明した。

【0009】例えば、データバスについて言えば、マザーボード上に搭載されたコントローラから、データバスを介して、各メモリモジュール上のメモリユニットに対して、読出動作を行った場合、コントローラは終端されない状態になるため、コントローラ自体において、信号の反射が生じ、且つ、書込動作を行った場合、コントローラとコネクタ間のデータバスの長さによって、コネクタ部分から信号反射が生じることが判明した。また、各メモリモジュール上のメモリユニットとして、DRAMが接続された場合、各DRAMに対して書込を行った際にも、信号の反射が観測された。

【0010】更に、データバスは一端をコントローラに接続され、他端を無反射終端器に接続されているが、無反射終端には、終端電源を用いて所定の終端電位が与えられているが、この構成では、電源の数が増加するという欠点がある。このことは、コマンドアドレスバスにおいても同様である。

【0011】一方、クロックバスについて言えば、クロック動作を正確に行うために、メモリモジュール上の各メモリユニットに対して、互いに相補的な一対のクロックを供給するメモリ装置も提案されている。このようなメモリ装置は、コントローラと、各メモリユニットとが一対のクロックバスによって接続された構成を備えている。このような構成を採用した場合における各メモリユニットにおける信号反射については、これまで何等考慮されていない。

【0012】本発明の目的は、コントローラとデータバス（コマンドアドレスバス）との間における反射を防止することにより、メモリユニットからのデータを高速で読み出すことができるメモリ装置を提供することである。

【0013】本発明の他の目的は、クロックバスにおける信号の反射を防止することにより、高速且つ正確な動作を行うことができるメモリ装置を提供することである。

【0014】

【課題を解決するための手段】本発明によれば、バスに対して、電気的に接続された複数のメモリユニットと、前記バス的一端に接続され、前記複数のメモリユニットの読出、書込を制御するコントローラとを有するメモリ装置において、前記コントローラには、前記読出制御時にのみ動作状態となるアクティブ終端回路が設けられていることを特徴とするメモリ装置が得られる。この場合、複数のメモリユニットは、それぞれスタブ及びコネクタを介して前記バスに接続されている。また、複数のメモリユニットを前記バスに接続するコネクタのうち、前記コントローラと最も近接した位置にある最近接コネクタと、前記コントローラとの間には、前記複数のメモリユニットの読出制御時における反射波を防止するための反射防止手段が設けられていることが望ましい。この反射防止手段は、前記最近接コネクタと前記コントローラ間の特性インピーダンスが他のメモリモジュール上の特性インピーダンスに比較して低くなるような回路によって構成されても良いし、及び／又は、前記最近接コネクタと前記コントローラ間に接続された容量素子を備えていても良い。

【0015】更に、本発明によれば、前記コントローラが接続されたバス的一端とは反対側に位置する他端には、終端器が接続されており、当該終端器は、所定の電源端子と基準電源端子との間に、直列に接続された一対の終端抵抗によって構成され、前記バスの他端は、両終端抵抗の共通接続点に接続されていることを特徴とするメモリ装置が得られる。この場合、前記バスはデータバス又はコマンドバスであっても良い。また、上記した各メモリユニットはアクティブ終端器によって終端されていることが好ましく、バスはシールドされていることが好ましい。尚、上記メモリユニットとして、DRAMが例示できる。

【0016】本発明の他の態様によれば、互いに相補的なクロックを送出するクロックコントローラと、当該クロックコントローラに一端を接続され、前記相補的なクロックを伝送する一対のクロックバスと、当該一対のクロックバスに電気的に接続された複数のメモリユニットとを備えたメモリ装置において、前記一対のクロックバスのクロックコントローラとは反対側の他端には、終端抵抗が接続されており、これによって、前記一対のクロックバスは差動結合終端されていることを特徴とするメモリ装置が得られる。

【0017】ここで、前記メモリユニットは前記一対のクロックバスに対して、一対のコネクタを介して接続されており、前記終端抵抗と、当該終端抵抗に最も近い一対のコネクタ間のクロックバス区間は実質的に分布定数回路として扱うことができる長さを有している。このような長さを有している前記クロックバス区間のインピーダンスは実質的に分布定数回路の特性インピーダンスに

よって規定できる。

【0018】更に、本発明によれば、前記複数のメモリユニットを複数のコネクタを介して接続するデータバスと、当該バス的一端に接続され、該バスを介して前記各メモリユニットとの間で、データの送受を行うデータバスコントローラとを備えていることを特徴とするメモリ装置が得られる。この場合、前記データバスコントローラは、前記各メモリユニットからデータを読み出す際にアクティブ状態になり、且つ、各メモリユニットに対してデータを書き込む際にインアクティブ状態に維持されるアクティブ終端器を有している。一方、前記データバスコントローラとは反対側の前記データバスの端部には、直列に接続された一対の抵抗によって構成された終端抵抗が接続され、前記データバスは一対の抵抗の共通接続点に接続され、これによって、データバスの他端は、差動結合終端されている。

【0019】本発明の別の態様によれば、データバスに対して、電気的に接続された複数のメモリユニットと、前記バス的一端に接続され、前記複数のメモリユニットの読出、書込を制御するデータバスコントローラとを有するメモリ装置において、前記データバスコントローラは、アクティブ終端器と、当該アクティブ終端器を制御する制御器を備えると共に、前記各メモリユニットも、前記データバスを終端するアクティブ終端器を有していることを特徴とするメモリ装置が得られる。この場合、前記制御器は、各コネクタに接続されたメモリモジュールに搭載されたメモリユニットからデータを読み出す場合、前記読出の対象となるメモリユニットのアクティブ終端器だけをインアクティブ状態にする一方、他のメモリユニット及び前記データバスコントローラのアクティブ終端器をアクティブ状態にする制御を行う。

【0020】更に、前記制御器は、前記メモリユニットにデータを書き込む際、前記データバスコントローラのアクティブ終端器をインアクティブ状態にする一方、前記メモリユニットのアクティブ終端器をアクティブ状態にする制御を行う。

【0021】上記したメモリ装置は、互いに相補的なクロックを送出するクロックコントローラと、当該クロックコントローラに一端を接続され、前記相補的なクロックを伝送する一対のクロックバスと、当該一対のクロックバスにそれぞれ電気的に接続された複数のメモリユニットとを備え、前記メモリユニットは、前記一対のクロックバスを終端する差動結合終端回路を有しているても良い。ここで、前記差動結合終端回路は、前記メモリユニット内に内蔵されても良いし、メモリユニットの外側に外付けされていても良い。

【0022】本発明の更に別の態様によれば、互いに相補的なクロックを送出するクロックコントローラと、当該クロックコントローラに一端を接続され、前記相補的なクロックを伝送する一対のクロックバスと、当該一対

のクロックバスにそれぞれ電氣的に接続された複数のメモリユニットとを備えたメモリ装置において、前記メモリユニットは、前記一対のクロックバスを終端するアクティブ終端器を備えていることを特徴とするメモリ装置が得られる。

【0023】本発明の態様によれば、バスに対して、コネクタ及びスタブを介して電氣的に接続された複数のメモリユニットと、前記バス的一端に接続され、前記複数のメモリユニットの読出、書込を制御するコントローラとを有するメモリ装置において、前記コントローラ及び前記各メモリユニットのそれぞれから、前記バス側を見た時のインピーダンスが実質的に等しくなるように、前記コントローラと前記複数のメモリユニット間の前記バス、コネクタ、抵抗、及び、スタブを含む接続が行われていることを特徴とするメモリ装置が得られる。この場合、前記コントローラと前記複数のメモリユニットは、前記バスを介して、スター接続されていることが望ましい。

【0024】上記したバスは、データバス或いはコマンドアドレスバスであり、このバス以外に、前記コントローラと前記各メモリユニットは、互いに相補的なクロックが与えられる一対のクロックバスによって接続されている。ここで、前記コントローラ及び前記各メモリユニットのそれぞれから、前記一対のクロックバスのそれぞれを見た時のインピーダンスが実質的に等しくなるように、前記コントローラと前記複数のメモリユニット間の前記クロックバス、コネクタ、及び、スタブを含む接続が行われている。また、前記コントローラと前記複数のメモリユニットとは、前記一対のクロックバスのそれぞれを介して、スター結合されている。

【0025】更に、前記コントローラ及び前記各メモリユニットのそれぞれから、前記クロックバスのそれぞれを見た時のインピーダンスも実質的に等しくなるように、前記コントローラと前記複数のメモリユニット間の前記クロックバス、コネクタ、及び、スタブを含む接続が行われていても良い。この場合、前記前記コントローラと前記複数のメモリユニットとは、前記クロックバスのそれぞれを介して、スター結合されている。

【0026】本発明によれば、前記複数のメモリユニットを複数のコネクタを介して接続するコマンドアドレスバスと、当該コマンドアドレスバス的一端に接続され、該コマンドアドレスバスを介して前記各メモリユニットとの間で、データの送受を行うバスコントローラとを備えていることを特徴とするメモリ装置が得られる。この場合、前記バスコントローラは、前記各メモリユニットからデータを受信する際にアクティブ状態になり、且つ、各メモリユニットに対してコマンドアドレスデータを書き込む際にインアクティブ状態に維持されるアクティブ終端器を有している。

【0027】本発明の他の態様によれば、コマンドアド

レスバスに対して、電氣的に接続された複数のメモリユニットと、前記コマンドアドレスバス的一端に接続され、前記複数のメモリユニットの読出、書込を制御するバスコントローラとを有するメモリ装置において、前記バスコントローラは、アクティブ終端器と、当該アクティブ終端器を制御する制御器を備えると共に、前記各メモリユニットも、前記データバスを終端するアクティブ終端器を有していることを特徴とするメモリ装置が得られる。この場合、前記制御器は、各コネクタに接続されたメモリモジュールに搭載されたメモリユニットからデータを受信する際、前記読出の対象となるメモリユニットのアクティブ終端器だけをインアクティブ状態にする一方、他のメモリユニット及び前記バスコントローラのアクティブ終端器をアクティブ状態にする制御を行う。更に、前記制御器は、前記メモリユニットにコマンドアドレスデータを送信する際、前記データバスコントローラのアクティブ終端器をインアクティブ状態にする一方、前記メモリユニットのアクティブ終端器をアクティブ状態にする制御を行う。

【0028】また、本発明は、複数のスロットを備え、各スロットに、バス上に接続されるメモリユニットを搭載できる構成のメモリ装置に適用できる。この場合、受信するメモリコントローラのアクティブ終端器をインアクティブ状態にする制御を行ない、受信するメモリユニットのスロットに存在するメモリユニットのアクティブ終端器をインアクティブ状態にする制御を行なう構成を採用しても良い。この構成によれば、受信側で信号が反射するが、信号振幅を大きくできるという利点がある。

【0029】

【発明の実施の形態】次に、図1を参照して、本発明の第1の実施形態に係るメモリ装置を説明する。まず、図1に示されたメモリ装置は、SSTLで動作し、図示されたように、マザーボード（図示せず）上には、コントローラ11及び複数のコネクタ（ここでは、12a、12bを例示している）が設置されている。各コネクタ12a、12bには、接続端子を配列したスロットが設けられており、図示された例の場合、コネクタ12a、12bの接続端子とコントローラ11とは、マザーボード上に布線されたデータバス13によって接続されている。実際には、多数のデータバスがマザーボード上に配列されているが、この例では、説明を簡略化するために、図1の水平方向に延びる1本のデータバス13のみが示されており、当該データバス13の一端は、コントローラ11に接続され、他端は、後述する終端器15に接続されている。尚、コマンドアドレスバスも、データバスと同様なトポロジを有しているが、ここでは、説明を簡略化するために、データバス13についてのみ説明する。更に、図示されたデータバス13上の円柱形状及び丸は、それぞれ分布定数線路及びビアホールをあらわしている。

【0030】図示されたメモリ装置は、複数のDRAM16を備えており、これらDRAM16は、この例では、メモリモジュール搭載用基板の表裏に配置され、それぞれメモリユニットを構成している。具体的に言えば、コネクタ12aのスロットに装着されるメモリモジュールは、DRAM16f1及び16r1を備え、他方、コネクタ12bのスロットに装着されるメモリモジュール搭載用基板は、DRAM16f2及び16r2を搭載している。DRAM16f1と16r1とはビアホールを介して電氣的に接続されており、同様に、DRAM16f2と16r2もビアホールを介して電氣的に接続されている。

【0031】各メモリモジュール上のDRAM16f1と16r1：16f2と16r2は、それぞれ、図1の垂直方向に延びるスタブ及び抵抗Rs1、Rs2を介して、コネクタ12a、12bに取り付けられている。図示された例では、スタブは3mm及び20mmの長さを有し、他方、各抵抗Rs1、Rs2は、20Ωの抵抗値を有している。

【0032】更に、図示されたメモリ装置のデータバス13は、コントローラと当該コントローラに最近接したコネクタ12aとの間の第1のデータバス部分、コネクタ12a、12b間の第2のデータバス部分、及び、コネクタ12bと終端器15との間の第3のデータバス部分とに区分することができ、図示された例では、第1、第2、及び、第3のデータバス部分は、それぞれ100mm、10mm、及び、5mmの長さを有している。

【0033】本発明者等の研究によれば、図示された構成を有するメモリ装置では、コントローラ11からの読出コマンドに応じて、各DRAMからデータが読出される場合に、信号の反射が生じ、また、コントローラ11とコネクタ12a間のインピーダンスによっても信号波形に歪が生じることが判明した。

【0034】このため、図示された実施形態では、データバス13の一端に接続されたコントローラ11内に、DRAM16の読出時のみ動作状態となるアクティブ終端器20を接続している。一方、コネクタ12a、12b間の配線長が10mmで、且つ、信号の伝播速度が7ピコ秒/mmで、波形の立ち上がりが0.7ナノ秒である場合、コントローラ11と当該コントローラ11に最近接したコネクタ12aとの間の第1のデータバス部分における配線長を100mm程度に長くすることにより、DRAM16の読出時における信号の反射及び波形の歪を改善できることも判明した。このように、第1のデータバス部分の長さを長くすることにより、このデータバス部分は、実質的に分布定数回路として扱うことができ、第1のデータバス部分のインピーダンスは、分布定数回路の特性インピーダンスと同様に取り扱うことができる。

【0035】更に、コントローラ11とコネクタ12a

との間に、7pF程度の容量を有するインピーダンス補償用コンデンサCcを接続することによって、より波形を改善できることも判明した。図示された例では、インピーダンス補償用コンデンサCcをコントローラ11から55mm離れた位置、即ち、コネクタ12aから45mm離れた位置に接続している。

【0036】このことは、第1のデータバス部分の特性インピーダンスを他のデータバス部分の特性インピーダンスより小さくしていることを意味している。このように、コントローラ11と、最近接コネクタ12a間の第1のデータバス部分における特性インピーダンスを他の部分の特性インピーダンスよりも低くすることによって、読出波形の反射を低減することができ、結果的に、波形を改善することができる。

【0037】上記したコントローラ11と最近接コネクタ12aとの間に設けられた第1のデータバス部分の配線長を長くすること、及び、特性インピーダンスを低くすることによって、読出時に反射波が生じたとしても、反射波の戻りを遅くし、反射波による波形の乱れを軽減していることになる。したがって、図示された実施形態では、調整された配線長及び／又は補償用コンデンサは、コントローラ11と最近接コネクタ12a間に設けられた反射防止手段を構成している。

【0038】また、図示されたDRAM16は、電源VDDQから与えられる1.8ボルトの電源電圧V_{DDQ}によって動作している。この場合、データバス13の他端に接続された終端器15にも、DRAM16の電源から電源電圧VDDQが与えられている。図示されているように、終端器15は、電源と接地電位との間に、100Ωの抵抗を2つ直列に接続し、両直列抵抗の接続点から、0.9ボルトの電圧がデータバス13に与えられる構成を備えている。このことから、図示された終端器15は、センタータップ型終端器によって構成されていることが分かる。このように、センタータップ型終端器を使用することにより、DRAM内部のメモリ素子の電源を終端器の電源としても使用することができるため、終端器専用の電源は不要になる。

【0039】次に、図1及び図2を参照して、コントローラ11に設けられているアクティブ終端器20について説明する。図示されたアクティブ終端器20は、簡単に言えば、DRAM16からのデータ読出時のみ動作して、データバス13を終端する。図2に示されているように、アクティブ終端器20は制御器201と接続され、当該制御器201は読出制御信号Rc、或いは、書込制御信号Rcbarをアクティブ終端器20に出力する。更に、制御器201は、データバス13上に書込データを出力する一方、データバス13からの読出データを受信する。また、制御器201は、各DRAM16f1、16r1、16f2、及び、16r2とコマンドアドレス線202によって接続され、各DRAM16f

1、16r1、16f2、及び、16r2に対して、当該コマンドアドレス線202（図2）を介して書込又は読出コマンドを出力する機能も備えている。

【0040】図2に示されたアクティブ終端器20は、PチャンネルMOSトランジスタ205、500Ωの第1の抵抗Ra1、500Ωの第2の抵抗Ra2、及び、NチャンネルMOSトランジスタ206によって構成される直列回路を備え、当該直列回路は電源電圧V_{DD}の端子と接地電位端子との間に接続されている。図示されているように、PチャンネルMOSトランジスタ205のソースは、電源端子に接続され、他方、NチャンネルMOSトランジスタ206のソースは接地されている。また、両MOSトランジスタ205及び206のドレイン間には、互いに直列に接続された第1の抵抗Ra1及び第2の抵抗Ra2が接続されている。更に、PチャンネルMOSトランジスタ205のゲートは、インバータ207を介して、制御器201に接続され、他方、NチャンネルMOSトランジスタ206のゲートは直接制御器201に接続されている。

【0041】この構成において、制御器201から読出制御信号Rcが与えられると、両MOSトランジスタ205、206がオン状態となって、アクティブ終端器20はアクティブ状態となって、V_{DD}/2の電圧がデータバス13に与えられる。この結果、データバス13は、アクティブ終端器20によって終端され、読出コマンドを受けたDRAMからの読出データが制御器201に入力される。一方、制御器201から書込制御信号Rcbarが与えられると、両MOSトランジスタ205及び206は、オフ状態となって、アクティブ終端器20は、インアクティブ状態、即ち、無効状態となり、データバス13の一端を開放状態にする。この状態で、制御器201からの書込データがデータバス13上に出力され、書込コマンドを受けたDRAMに書込データが書き込まれる。

【0042】このように、コントローラ11には、書込時には、インアクティブ状態になり、且つ、読出時のみ、アクティブ状態になるアクティブ終端器20が設けられており、アクティブ状態における終端抵抗の値を選択しておくことにより、データ読出の際、データバス13とコントローラ11との間における反射を防止することができる。

【0043】また、図1に示された例では、データバス13と、コネクタ12a、12b及びスタブを介して接続されたDRAM16f1、16r1、16f2、及び、16r2との間の反射も防止できるため、読出データを高速に読み出すことができる。

【0044】図3を参照して、クロックバス31a、31bを備えたメモリ装置を説明する。ここで、図3に示されたメモリ装置は、ディファレンシャルクロックを採用しており、クロックバス31a、31bは、差動信号

配線構造を有している。また、図示されたクロックバス31a、31bは、図1に示されたメモリ装置におけるデータバス13と共に使用できる構成を備えている。具体的に説明すると、図3に示されたメモリ装置は、マザーボード上に配置されたコントローラ11を備えると共に、当該コントローラ11からマザーボード上に配線されたクロックバス31a、31bを有している。図示されたコントローラ11は、図1に示されたアクティブ終端器20及び制御器201をもその一部として含んでおり、更に、クロックバス31a、31bの双方に接続され、これらクロックバス31a、31bに対して、互いに相補的なクロックWCLK、WCLKBを出力するクロック発生器208を備えている。

【0045】互いに相補的なクロックWCLK、WCLKBを発生するクロック発生器208としては、通常使用されているクロック発生器を使用できるから、ここでは、詳述しない。このように、互いに相補的なクロックを各メモリモジュール上のメモリユニット（即ち、DRAM）に与えることにより、各メモリユニットでは、クロックの立ち上がり、立下り位置を正確に検出することができる。

【0046】図示された例の場合、コントローラ11からクロックバス31aを介して送出されるクロックWCLKは、コネクタ12c及びスタブ33aを介して分岐部34aに達し、分岐部34aで、メモリモジュールの表裏に設けられたDRAM16f1、16r1に与えられている。また、当該DRAM16f1、16r1には、クロックバス31bを介して与えられるクロックWCLKBは、コネクタ12d、スタブ33b、分岐部34bを通して、メモリモジュールの表裏に設けられたDRAM16f1、16r1に供給されている。

【0047】同様に、DRAM16f2、DRAM16r2にも、互いに相補的なクロックWCLK及びWCLKBがコネクタ12e、12f、スタブ33c、33d、分岐部34c、34dを介して供給されている。尚、ここでは、コネクタ12c、12dは、図1に示されたコネクタ12aと同一のスロット（slot1）に設けられており、コネクタ12e、12fは、コネクタ12bと同一のスロット（slot2）に設けられているものとする。

【0048】図3に示された構成を備えたメモリ装置は、クロックバス31a、31bの一端をコントローラ11に接続する一方、他端を終端抵抗R_{tt}により相互に接続した差動結合終端回路を有している。図示された終端抵抗R_{tt}は100Ωの抵抗値を有している。このように、クロックバス31a、31bの他端を差動結合終端回路によって終端することにより、クロックWCLK、WCLKBの差動成分に対して終端効果を上げることができる。また、この構成では、終端回路に必要な電源等をなくすることができるため、コストの低減を図るこ

とができる。

【0049】また、図示された例では、終端抵抗 R_{tt} とコネクタ12e、12fとの間の距離を25mmとし、且つ、終端抵抗 R_{tt} より前のコネクタ12c、12dと、コネクタ12e、12fとの間の距離を10mmとしている。更に、コントローラ11と、コネクタ12c、12dとの間の距離を100mmにし、当該コントローラ11の近傍位置には、インピーダンス補償用キャパシタCcを接続している。ここで、図示されたキャパシタCcは7pFであり、コントローラ11から55mmの位置に接続されている。コネクタ12e、12fと終端抵抗 R_{tt} の距離を長くすれば、この間のクロックバス部分を分布定数回路として取り扱うことができ、AC時つまり信号変化時の信号振幅を大きくできるからである。また、前述したことから明らかなように、補償用キャパシタCcは、コントローラ11、又は、DRAMが受信側として動作する場合、これら受信側となるコントローラ11又はDRAMから離れた位置に設けられている。このように、受信側から離れた位置に補償用キャパシタCcを配置することによって、レシーバから

の反射を緩和することができる。

【0050】図3に示された各DRAMと各コネクタとは、スタブ33a、33b、33c、及び、33dによってそれぞれ接続されており、図示された例の場合、各スタブ33a、33b、33c、及び、33dは23.5mmの長さを有し、スタブ33a、33b、33c、及び、33dのコネクタの近くには、集中定数素子として働く、20Ωのスタブ抵抗 R_{s1} 、 R_{s1B} 、 R_{s2} 、及び、 R_{s2B} がそれぞれ挿入されている。

【0051】尚、図1及び図3に示されたデータバス13及びクロックバス31a、31bをシールドすることにより、クロストークノイズを軽減できることも確認された。また、終端抵抗 R_{tt} と、その直前に設けられたコネクタ間のクロックバスの長さ（終端抵抗 R_{tt} と、コネクタ12e、12fとの間の距離）は、10～25mmの範囲であれば、信号変化時の信号振幅を大きくできることも確認された。

【0052】更に、上記したクロックバス31a、31bは、8本のデータバス13に一組だけ設けることにより、即ち、バイト毎に設けることにより、より多くのデータバスに対してクロックバスを設ける場合に比較して、タイミングのバラツキを低減できる。即ち、図3に示されたクロックバス構造を図1に示されたデータバスを8本備えた構造と組み合わせることにより、即ち、バイトレーン単位にクロックバス31a、31bを設けることにより、タイミングマージンを大幅に増加することができる。また、図示されたクロックバス31a、31bを他のデータバスなどからシールドすれば、クロストークノイズをも更に低減できる。

【0053】前述したように、図1及び図3に示された

DRAM16f1及び16r1：16f2及び16r2は、メモリユニットとしてメモリモジュール搭載用基板の表裏に取り付けられており、各基板は、マザーボード上に形成されたスロットに着脱自在に取り付けられている。換言すれば、図示されたメモリ装置は、複数のスロットを備え、各スロットに、バス上に接続されるメモリユニットを搭載した構成を備えている。このことを考慮すると、終端制御の対象となるメモリユニットは、スロット毎に、2つつつ制御されても良く、このことは他の実施形態においても同様である。

【0054】図4を参照して、本発明の他の実施態様に係るメモリ装置を説明する。図4に示されたメモリ装置のコントローラ11は、図2に示されたアクティブ終端器20及び制御器201と同様なアクティブ終端器20及び制御器201をそれぞれ備えている。更に、図示されたメモリ装置は、メモリユニットとして、各メモリモジュールの表裏に搭載されたDRAM16f1、16r1及びDRAM16f2、16r2を有し、各モジュールはコネクタ12a、12bのスロット(s1ot1、s1ot2)に取り付けられている。また、DRAM16f1、16r1及びDRAM16f2、16r2は、それぞれ、図1と同様に、分岐部及びスタブを介してコネクタ12a、12bに電気的に接続されている。

【0055】ここで、図4に示された各DRAM16f1、16r1、16f2、及び、16r2は、アクティブ終端器161～164によって終端されている点で、図1に示されたDRAM16f1、16r1、16f2、及び、16r2とは異なっている。この場合、各アクティブ終端器161～164は、各DRAM内に内蔵されて良いし、或いは、各DRAMに外付けされても良い。より具体的に言えば、図示された各アクティブ終端器161～164は、各DRAM16f1、16r1、16f2、及び、16r2の入力バッファの前に接続されているものとする。

【0056】いずれにしても、図示されたアクティブ終端器161から164は、DRAM16f1、16r1、16f2、及び、16r2に書込を行う際のみ動作し、読出時には動作しない構成を備えている。このような動作を行うアクティブ終端器161～164を設ければ、当該アクティブ終端器161から164の電源をDRAM駆動電源と共通にすることによって、各アクティブ終端器毎にマザーボード上に終端用電源を設ける場合に比較してコストを低減できる。

【0057】前述したように、図示されたDRAM16f1及び16r1は、コネクタ12a及びデータバス13を介してコントローラ11に接続され、同様に、DRAM16f2及び16r2は、コネクタ12b及びデータバスを介してコントローラ11に接続されているが、更に、これらDRAM16f1、16r1、16f2、及び、16r2は、書込或いは読出コマンドを送受する

10

20

30

40

50

コマンドバス、各種制御信号を送受する制御信号線、コマンドアドレスレジスタ、及び、中継回路等を介して、コントローラ11に接続されている。前述したコマンドバス、各種制御信号を送受する制御信号線、コマンドアドレスレジスタ、及び、中継回路等は図面を簡略化するために、図4では省略されている。

【0058】上記した構成において、DRAM16f1、16r1、16f2、及び、16r2のうち、特定のDRAM（ここでは、DRAM16f1）からデータを読み出す場合、コントローラ11の制御器201は、図示されないコマンドバスを介して特定のDRAM16f1に読出コマンドを発行する。このとき、コントローラ11の制御器201は、制御信号線を介して終端制御信号を送出して、コネクタ12a及び12bに接続されたDRAM16f1、16r1及びDRAM16f2、16r2の全てのアクティブ終端器161、162、163、164をまず動作状態、即ち、アクティブ状態にする。続いて、読出コマンドを受けた特定のDRAM16f1では、データを読み出せる状態になると、その内部において出力イネーブル信号を生成する。このように、出力イネーブル信号が内部的に生成された特定のDRAM16f1では、そのアクティブ終端器161を不動作状態、即ち、インアクティブ状態にする。この結果、当該特定DRAM16f1の終端は開放された状態になり、この状態は、DRAM16f1からデータが全て読み出されるまで継続する。他方、読出コマンドを受けない特定のDRAM16f1以外のDRAMにおけるアクティブ終端器162、163、164は、特定DRAM16f1から読出データが読み出されている間、動作状態に置かれる。

【0059】一方、特定DRAM16f1からデータバス13を介して送られてくる読出データは、コントローラ11に与えられる。コントローラ11には、図1と同様に、図5に示されたアクティブ終端器20が設けられており、コントローラ11のアクティブ終端器20は、図5に関連して説明したように、読出コマンドを出力する際に、制御器201から与えられる読出制御信号によって動作状態、即ち、アクティブ状態に置かれている。

【0060】この結果、特定DRAM16f1からの読出データは、図1の場合と同様に、コネクタ12a及びデータバス13における反射されことなく、コントローラ11に読み出される。

【0061】一方、特定DRAM16f1に対してデータを書き込む場合、制御器201は、コマンドバスを介して、書込コマンドを特定DRAM16f1に出力すると共に、終端制御信号をデータバス13に接続されたDRAM16f1、16r1、16f2、及び、16r2に出力する。この場合、コントローラ11のアクティブ終端器20には、書込制御信号が与えられ、当該アクティブ終端器20はインアクティブ状態に置かれ、開放状態

になる。

【0062】終端制御信号を受けたDRAM16f1～16r2のアクティブ終端器161～164は、まず、読出の場合と同様に、アクティブ状態になる。また、書込コマンドを受けた特定DRAM16f1は、書込可能な状態になると、その内部で出力イネーブル信号を生成するが、書込動作の場合には、当該特定DRAM16f1のアクティブ終端器161は、他のDRAMのアクティブ終端器162～164と同様に、アクティブ状態に保たれる。この状態で、コントローラ11の制御器201から、書込データがデータバス13を介して特定DRAM16f1に書き込まれる。このとき、特定DRAM16f1はアクティブ終端器161によって終端されており、アクティブ状態における終端抵抗を適切な値に設定しておけば、当該特定DRAM16f1からの反射を防止できる。このように、コントローラ11から特定DRAM16f1にデータを書き込む場合、コントローラ11のアクティブ終端器20だけがインアクティブ状態になり、データを受信する側に設けられた特定DRAM16f1を含むDRAMのアクティブ終端器161～164は、全てアクティブ状態になる。

【0063】上記した読出及び書込動作を包括的に説明すると、読出動作の際には、読出の対象となるDRAMのアクティブ終端器がデータ読み出しの際に、インアクティブ状態になり、他のDRAM及びコントローラ11のアクティブ終端器は、データ読出中、アクティブ状態に保たれる。一方、書込動作の際には、データ書込中、コントローラ11のアクティブ終端器20のみが、インアクティブ状態になり、データを受信する側のDRAM16のアクティブ終端器161～164は全てアクティブ状態に保たれる。

【0064】このように、データの送信側のアクティブ終端器をインアクティブ状態（即ち、オフ状態）にし、データの送信側のアクティブ終端器をアクティブ状態（オン状態）にすることにより、反射の少ないメモリ装置を実現できる。また、上記した例では、書込動作の際、データの受信側となるDRAMのアクティブ終端器を全てオン状態にするものとして説明したが、本発明は何等これに限定されことなく、例えば、データ書込の対象となるDRAMを装着したスロットのDRAMだけをオフ状態にし、他のスロットに装着されたDRAMのアクティブ終端器をオン状態にしても良い。この場合、データ受信側で信号が反射するが、信号振幅が大きくなるので信号を捕らえやすくて利点がある。

【0065】図5を参照して、図4に示されたDRAM16f1、16r1、16f2、及び、16r2のアクティブ終端器161～164として使用できる回路の一例を説明する。図に示されているように、DRAMのアクティブ終端器は、終端部50、データ書込の際に動作する受信部51、データ読出の際に動作する送信部5

2、及び、終端制御回路54とを備えている。このうち、受信部51は、データ書込の際にデータバス13からの書込データをDRAM内のメモリ素子に書き込み、他方、送信部52は、データ読出の際にメモリ素子からの読出データをデータバス13に出力する。

【0066】また、終端制御回路54は、制御信号線からの書込／読出制御信号W/R及び当該DRAM内で発生される出力イネーブル信号Ebに応答して動作する。具体的に説明すると、終端制御部54は、コントローラ11の制御器201から書込制御信号Wを受けると、終端部50にハイ(H)レベル信号を終端制御信号として出力し、他方、読出制御信号Rを受け、且つ、出力イネーブル信号Ebが当該DRAM内で発生されると、終端制御信号としてロウ(L)レベル信号を終端部50に出力する。尚、読出制御信号Rが与えられても、出力イネーブル信号Ebが発生しない場合、図示された終端制御回路54からは、Hレベル信号が出力される。このような終端制御回路54は、簡単な論理回路によって実現できるから、ここでは、詳述しない。

【0067】図示された終端部50は、電源電圧V_{DD}を与える電源端子に、ソースを接続されたPチャンネルMOSトランジスタ501と、GND端子にソースを接地されたNチャンネルMOSトランジスタ502とを備え、両MOSトランジスタ501及び502のドレイン間には、2つの抵抗503、504が直列に接続されており、両抵抗503、504の共通接続点には、データバス13が接続されている。更に、PチャンネルMOSトランジスタ501のゲートには、インバータ505を介して終端制御回路54から終端制御信号が与えられる一方、NチャンネルMOSトランジスタ502のゲートには、終端制御信号が与えられている。

【0068】この構成では、終端制御回路54から、終端制御信号として、Hレベル信号が与えられると、両MOSトランジスタ501及び502はオン状態となって、結果として終端部50はアクティブ状態になる。この状態において、電源電圧V_{DD}は、抵抗503、504で分圧され、データバス13は、抵抗503、504の分圧比によって定まる電圧によって終端されることになる。ここで、抵抗503、504が同じ抵抗値を有する抵抗によって構成されている場合、データバス13は、DRAM内部で(V_{DD}/2)の電圧で終端されることになる。一方、終端制御回路54から、終端制御信号としてLレベル信号が与えられると、両MOSトランジスタ501及び502はオフ状態となって、終端部50はインアクティブ状態になる。このようなアクティブ終端器により、各DRAMを終端することにより、図4を用いて説明した動作が可能になる。

【0069】図6を参照すると、図4に示されたメモリ装置のデータバス構成に適したクロックバス構成が示されている。図6に示されたメモリ装置は、メモリユニッ

トとしての各DRAM16f1、16r1、16f2、及び16r2に差動結合終端用抵抗R_{tt1}、R_{tt2}が設けられている点で、図3に示されたメモリ装置のクロックバス構成とは異なっている。図示された差動結合終端用抵抗R_{tt1}、R_{tt2}は、それぞれ300Ωの抵抗値を有しており、これら抵抗R_{tt1}、R_{tt2}は、各DRAMに与えられる相補的なクロックWCLK、WCLKBを導く一対のクロック線路間に接続されている。ここで、各DRAM内の丸と四角は、パッケージのピン及びパッドを模式的にあらわしたものである。

【0070】更に詳述すると、図示されたクロックバス31aは、コネクタ12c及び12eを介してスタブ33a及び33dに接続され、クロックバス31bは、コネクタ12d及び12fを介して、スタブ33b及び33eに接続されている。このうち、スタブ33aは、分岐部によって2つに分岐されて、DRAM16f1及び16r1に接続され、他方、クロックバス31bにコネクタ12dを介して接続されたスタブ33bは、同様に分岐部によって分岐され、DRAM16f1、16r1に接続されている。このことは、クロックバス31aが2つに分岐されて、メモリモジュールの表裏に設置された2つのDRAM16f1、16r1に接続され、また、クロックバス31bも、2つのDRAM16f1、16r1に電氣的に接続されていることを意味している。この構成によれば、DRAM16f1に、クロックWCLK、WCLKBが与えられ、他方、DRAM16r1にもクロックWCLK、WCLKBが与えられる。

【0071】同様に、クロックバス31aは、コネクタ12eに接続されたスタブ33d、分岐部を介して、DRAM16f2、16r2に接続され、クロックバス31bもコネクタ12f、スタブ33d、及び、分岐部を介して、DRAM16f2、16r2に接続されている。したがって、DRAM16f2には、クロックWCLK及びWCLKBが与えられており、DRAM16r2にも、クロックWCLK及びWCLKBが与えられている。図の例では、DRAM16f1及び16f2に引き込まれた一対のクロックバス線を当該DRAM16f1、16f2の外部に設けられた差動結合用終端抵抗R_{tt1}、R_{tt2}によって終端している。他方、これらDRAM16f1、16f2の裏側に設けられたDRAM16r1、16r2には、これら終端抵抗が設けられていないが、これらDRAM16R1、16R2を終端抵抗によって終端しても良い。尚、図示された例では、差動結合終端用抵抗R_{tt1}、R_{tt2}を各DRAMの外側に外付けに接続する場合について説明したが、各DRAM内のメモリ素子と共に組み込まれても良い。

【0072】図示された例のように、各メモリモジュールの表裏いずれかのDRAMだけに終端抵抗R_{tt1}、R_{tt2}を設け、これらを選択的に切り換えることにより、バラエティに富んだ書込／読出制御を行うことがで

きる。いずれにしても、図示された差動結合終端用抵抗によって、終端器に必要な電源が不要となるため、メモリ装置のコストを低減できると言う利点があり、且つ、図4に示されたデータバス構成と組み合わせることにより、より効果を上げることができる。

【0073】また、図6では、クロックバス31a及び31bのDRAM側端末を差動結合終端用抵抗によって終端した場合について説明したが、この差動結合終端用抵抗の代わりに、図7に示されたように、抵抗をMOSトランジスタによるスイッチでON/OFFするアクティブ終端器を用いて、このアクティブ終端器によって終端しても良く、且つ、図示されたアクティブ終端器はDRAM内に内蔵されていることが望ましい。図7からも明らかなように、図示されたアクティブ終端器には、後述するような抵抗切替信号及び互いに相補的なクロックCLK、CLKB（例えば、WCLK、WCLKB）が与えられており、この構成では、アクティブ終端器の終端抵抗を抵抗切替信号によって変化させることができる。

【0074】ここで、例えば、メモリモジュールの表又は裏だけにDRAMが搭載されている場合と、メモリモジュールの両面にDRAMが搭載されている場合において、アクティブ終端器の終端抵抗を変化させることが好ましい。また、スロットの全てにメモリモジュールが取り付けられている場合と、スロットの一部にはメモリモジュールが取り付けられていない場合とでは、アクティブ終端器の終端抵抗を変化させることが望ましい。

【0075】これらのことを考慮して、図7に示された例では、上記したメモリモジュール、或いは、スロットの状態に応じて、アクティブ終端器の抵抗値を変化させるために、ハイレベル、又は、ローレベルの信号が、抵抗切替信号として各モジュール等からアクティブ終端器の終端制御回路に与えられている。図示された終端制御回路は、抵抗制御信号を受けると、成功制御信号に対応した論理信号“1”又は“0”を一对のNチャンネルMOSトランジスタ61、62のゲートに出力する。NチャンネルMOSトランジスタ61のドレイン及びソースには、抵抗Rt1の一端がそれぞれ接続されており、各抵抗Rt1の他端には、クロックCLK、CLKBが与えられている。同様に、NチャンネルMOSトランジスタ62のドレイン及びソースには、抵抗Rt2の一端が接続され、他端には、クロックCLK、CLKBが与えられている。

【0076】この構成によれば、NチャンネルMOSトランジスタ61、62を選択的にON/OFFすることにより、アクティブ終端器の終端抵抗を3段階に変化させることができる。したがって、図示されたアクティブ終端器は、メモリモジュールの接続状態等を考慮して終端抵抗を変化させることができ、設計の際における自由度を増加できる。

【0077】図8を参照すると、本発明の更に他の実施形態に係るメモリ装置が示されている。このメモリ装置は、図1と同様に、マザーボード上に搭載されたコントローラ11、当該コントローラ11に接続されたデータバス13、データバス13と電氣的に接続されたコネクタ12a、12bとを備えている。更に、コネクタ12aには、スタブ17aを介して、メモリモジュール上に配置されたメモリユニットとしてのDRAM16f1及び16r1が接続されており、また、コネクタ12bには、DRAM16f2、16r2がスタブ17bを介して接続されている。これらDRAMには、図4の場合と同様に、それぞれアクティブ終端器が設けられている。このアクティブ終端器は、図5に示された回路と同様な構成を備えている。

【0078】一方、図示されたコントローラ11にも、図2に示された終端器と同様な終端器が設けられている。ここで、図示されたコントローラ11の制御器201は、コントローラ11のアクティブ終端器20及び、図示されたDRAM16f1、16r1、16f2、16r2における各終端器とを後述する手順で終端制御動作を行う。

【0079】更に、図示されたメモリ装置では、コントローラ11とコネクタ12aとの間のインピーダンスが、当該コネクタ12aからDRAM16f1及び16r1を見込むインピーダンスと、コネクタ12aからDRAM16f2及び16r2を見込むインピーダンスとの和と等しくなるように、インピーダンスが調整されている。このため、データバス13には、集中定数回路として抵抗Rs0が接続され、また、スタブ17a及び17bには、それぞれ抵抗Rs1及びRs2がそれぞれ接続されている。この例では、これら抵抗Rs0、Rs1及びRs2の抵抗値を、データバス13の特性インピーダンスZoとすると、Zo/3となるように調整されている。この結果、コネクタ12aの位置が中性点となり、当該中性点からコントローラ11側を見たインピーダンス、DRAM16f1、16r1側を見たインピーダンス、及びDRAM16f2、16r2側を見たインピーダンスは、全て等しくなり、結果として、コントローラ11とDRAMとの間の反射を防止することができる。換言すれば、図示されたメモリ装置は、コントローラ11、DRAM16f1、16r1、DRAM16f2、16r2とをスター結合した構成を有し、且つ、データ送信側となる端末（例えば、コントローラ、或いは、各DRAM）から見た場合、スター結合を構成する各線路のインピーダンスは等しくなりデータの反射を防止できる。

【0080】このことは、コントローラ11及び各DRAMのそれぞれに接続されたデータバス13の分岐前のインピーダンスと、当該データバス13の分岐前から分岐後側を見た時のインピーダンスが実質的に等しくなる

ように、コントローラ11と複数のDRAM間の前記データバス13、コネクタ、抵抗、及び、スタブを含む接続が行われていることを意味している。また、図示された例を一般化すると、コントローラ11と複数のDRAMとが、同じ特性インピーダンスZ0の配線n本が分岐点に対しそれぞれ抵抗値Z0/nを有する抵抗を介して接続され、これによって、インピーダンス整合が行われていることが分かる。なお、Rs0を接続しなくても、マザーボードとメモリモジュールの配線の特性インピーダンスを調整することにより同様の効果が実現できるの

【0081】上記したように、インピーダンス整合を維持した状態で、データの書込、読出を行うために、以下のような終端制御動作が行われる。まず、コントローラ11の制御の下に、コネクタ12aに接続されたDRAM16f1、又は、16r1からデータを読み出す場合について説明すると、この場合、読出データの送信側となるスロットのDRAM16f1、16r1のアクティブ終端器は、インアクティブ状態に置かれ、他方、データの受信側となるコントローラ11のアクティブ終端器20は、アクティブ状態に置かれると共に、他のDRAM16f2、16r2のアクティブ終端器をアクティブ状態、即ち、動作状態にする。

【0082】一方、コントローラ11のアクティブ終端器20の制御器201は、コネクタ12bに接続されたDRAM16f2、16r2からデータを読み出す場合、これらDRAM16f2、16r2のアクティブ終端器をインアクティブ状態、即ち、不動作状態にすると共に、コネクタ12aに接続されたDRAM16f1、16r1のアクティブ終端器を動作状態にする。このとき、データの受信側であるコントローラ11のアクティブ終端器20もアクティブ状態に置かれる。このように、DRAMからの読出動作の場合、コントローラ11のアクティブ終端器20は動作状態に置かれることは前述した図2の場合と同様である。

【0083】一方、コネクタ12aに接続されたDRAM16f1、16r1にデータを書き込む場合、DRAM16f1、16r1及びDRAM16f2、16r2のアクティブ終端器は、コントローラ11の制御のもとに動作状態におかれる。更に、コネクタ12bに接続されたDRAM16f2、16r2にデータを書き込む場合にも、DRAM16f1、16r1及びDRAM16f2、16r2のアクティブ終端器は、コントローラ11の制御のもとに動作状態におかれる。このとき、データの送信側となるコントローラ11のアクティブ終端器20はインアクティブ状態、即ち、開放状態に置かれる。

【0084】上記した動作を行うコントローラ11のアクティブ終端器20、及び、各DRAMにおけるアクティブ終端器は、それぞれ図2及び図5に示された回路と同様な回路によって実現できるから、ここでは、説明を

省略する。

【0085】上記した終端制御動作は、データの送信側のアクティブ終端器をインアクティブ状態にし、データの受信側のアクティブ終端器を全てアクティブ状態にする場合について説明した。しかし、データの送信側のうち、データ送信対象のアクティブ終端器を選択的にインアクティブ状態にし、他方、データの受信側を構成する複数のアクティブ終端器（例えば、複数のDRAMに設けられたアクティブ終端器）のうち、データ受信対象のアクティブ終端器だけをインアクティブ状態にし、他のアクティブ終端器をアクティブ状態にしても良い。この場合、データ受信対象のDRAMは、他のDRAMのアクティブ終端器によって終端されていることになる。

【0086】この動作をより具体的に説明すると、コネクタ12aに接続されたDRAM16f1、16r1からデータを読み出す場合、これらDRAM16f1、16r1のアクティブ終端器をインアクティブ状態にすると共に、他のDRAM16f2、16r2をアクティブ状態にする一方、コントローラ11のアクティブ終端器20をアクティブ状態にする。また、コネクタ12bに接続されたDRAM16f2、16r2から読出動作を行う場合、これらDRAM16f2、16r2のアクティブ終端器をアクティブ状態にする一方、他のDRAM16f1、16r1のアクティブ終端器をアクティブ状態にし、且つ、コントローラ11のアクティブ終端器20をアクティブ状態にする。このように、送信側のアクティブ終端器を選択的にインアクティブ状態にし、受信側を構成するコントローラ11のアクティブ終端器をアクティブ状態にする動作は、前述した例と同様である。

【0087】次に、コネクタ12aに接続されたDRAM16f1、16r1に対してデータを書き込む場合、コントローラ11は、コントローラ11のアクティブ終端器20をインアクティブ状態にし、他方、データ書込対象のDRAM16f1、16r1のアクティブ終端器だけをインアクティブ状態にし、他のDRAM16f2、16r2のアクティブ終端器をインアクティブ状態にする。同様に、DRAM16f2、16r2にデータを書き込む場合、そのアクティブ終端器をインアクティブ状態にする一方、コントローラ11のアクティブ終端器20のアクティブ終端器をインアクティブ状態にし、データ書込対象とはならないDRAM16f1、16r1のアクティブ終端器をアクティブ状態にするような終端制御動作が行われる。この終端制御動作はコントローラ11の制御器201によって行われる。この終端制御動作によっても、インピーダンスの整合を取った状態で、データの送受信が可能である。

【0088】上記した実施形態では、データの書込の際、データを受信するスロットのDRAMのアクティブ終端器の一つだけを不動作状態、他のアクティブ終端器を動作状態にし、データを送信するコントローラ11側

のアクティブ終端器を不動作状態にして、インピーダンス整合を行っている。この場合、データを受信するDRAMのアクティブ終端器を開放状態、即ち、インアクティブ状態にし、他のDRAMのアクティブ終端器を動作状態、即ち、アクティブ状態にする制御を行っても、インピーダンス整合が取れ、反射波を防止できる。

【0089】図9を参照すると、図8に示されたメモリ装置のデータバス構成に適したクロックバス構成を備えたメモリ装置が示されている。図示されたメモリ装置のクロックバス31a、31bは、図8に示されたデータバス13と同様に、それぞれスター結合されている。即ち、クロックバス31aについて言えば、コントローラ11と抵抗Rs0との間のインピーダンスが、当該抵抗Rs0以降の合成されたインピーダンスに等しくなるように、設定されている。このため、クロックバス31a及び31bにはそれぞれ抵抗Rs0が挿入されると共に、スタブ33a、33b、33c、33dに、抵抗Rs1、Rs2、Rs3、及び、Rs4が挿入されている。この例では、これら抵抗Rs1、Rs2、Rs3、及び、Rs4の抵抗値は、それぞれZ0/3に選ばれている。なお、Rs0を接続しなくても、マザーボードとメモリモジュールの配線の特性インピーダンスを調整することにより同様の効果が実現できるのは言うまでもない。

【0090】図9に示されたメモリ装置のDRAM16f1、16r1、及び、DRAM16f2、16r2は、クロックバス31a、31bの終端として300Ωの差動結合終端抵抗Rtt1、Rtt2が接続されており、これら差動結合終端抵抗Rtt1、Rtt2を接続することによって、クロックのパラツキを低減できる。この構成により、クロックパルスの反射、波形の劣化を防止できる。更に、クロックバス31a、31bのコントローラ11側の終端も、差動結合終端抵抗によって終端されていてよい。

【0091】この例に示されたクロックバストポロジを図8に示されたデータバス13のトポロジと組み合わせることにより、データバス13及びクロックバス双方における反射による影響を軽減できると言う利点がある。

【0092】図1、4、及び8に示した実施形態では、主に、データバスについて説明したが、コマンドアドレスバスにおいても同様な構成及び制御動作が行われる。より具体的に説明すると、コマンドアドレスバスに接続され、且つ、コマンドアドレスバスにおける終端制御を行うコントローラは、コマンドアドレスバスを終端するアクティブ終端器を備え、当該アクティブ終端器は、メモリユニットに対してコマンドアドレスを送信する際

に、インアクティブ状態に置かれるか、アクティブ状態に置かれる。

【0093】

【発明の効果】以上説明したように、本発明によれば、コントローラ及び複数のメモリモジュールをマザーボード上に搭載し、且つ、各メモリモジュール上には複数のメモリユニットを設けた構成を備えると共に、コントローラとメモリユニットとをデータバス及び／クロックバスによって接続した構成を有するメモリ装置において、コントローラとメモリユニット間の反射並びに波形の歪を軽減できるメモリ装置が得られる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るメモリ装置を示す配線図である。

【図2】図1のメモリ装置のコントローラに使用されるアクティブ終端器を示す図である。

【図3】図1に示されたメモリ装置に適用可能なクロックバスのトポロジを示す図である。

【図4】本発明の他の実施形態に係るメモリ装置を説明するための配線図である。

【図5】図4にメモリユニットとして示されたDRAMに使用されるアクティブ終端器を示す回路図である。

【図6】図4に示されたメモリ装置に適用できるクロックバスを説明するための配線図である。

【図7】図4にメモリユニットとして示されたDRAMのクロックに使用できるアクティブ終端器の一例を示す回路図である。

【図8】本発明の更に他の実施形態に係るメモリ装置のデータバスに係るトポロジを示す図である。

【図9】図8に示されたメモリ装置に適用できるクロックバストポロジを示す図である。

【符号の説明】

11

コントローラ

12a、12b、12c、12d、12e、12f

コネクタ

13

データバス

15

終端器

16f1、16r1、16f2、16r2

DRAM

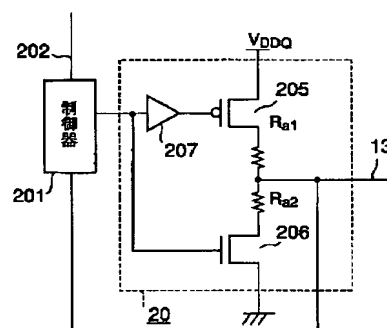
20

アクティブ終端器

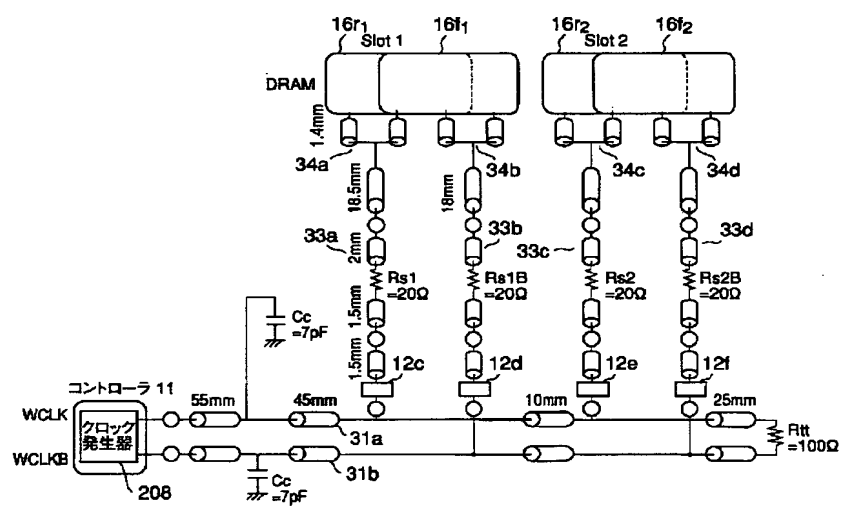
201

制御器

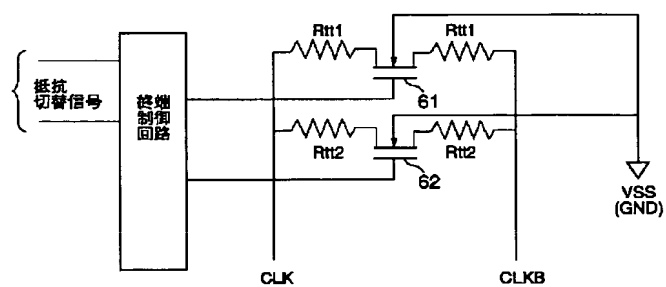
【図2】



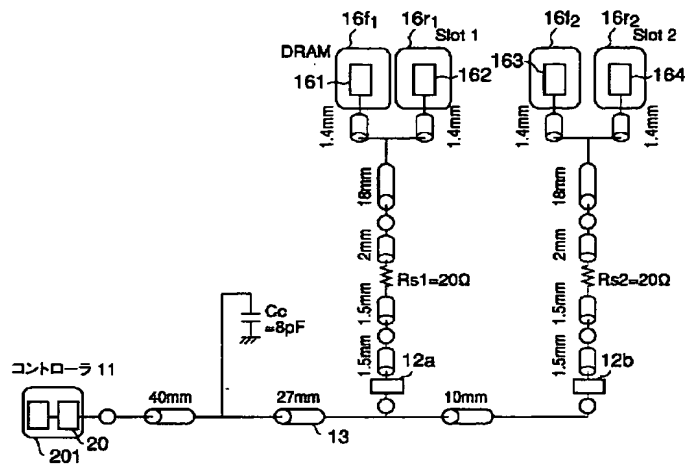
【図 3】



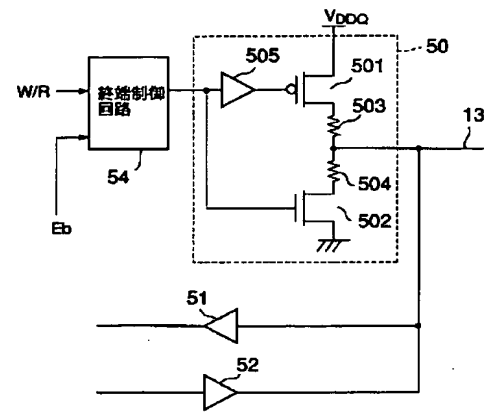
【圖 7】



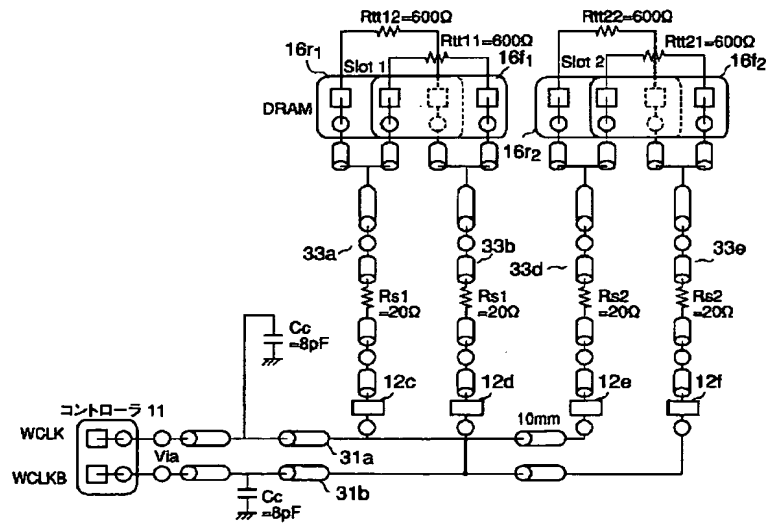
【図4】



【圖5】



【図 6】



F ターム(参考)

5B060	MB00				
5J056	AA00	AA40	BB02	DD13	DD28
	FF01	FF08			
5M024	AA41	AA49	BB30	BB33	BB34
	DD90	HH09	HH11	JJ03	PP01
	PP02	PP03			